

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-54634

(43) 公開日 平成5年(1993)3月5日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 11 C 11/401 11/41				
H 01 L 27/10	4 8 1	8728-4M 8320-5L 7323-5L	G 11 C 11/34	3 6 2 B 3 4 5

審査請求 未請求 請求項の数7(全11頁)

(21) 出願番号 特願平3-218266

(22) 出願日 平成3年(1991)8月29日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(72) 発明者 秋葉 武定
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72) 発明者 橋川 五郎
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

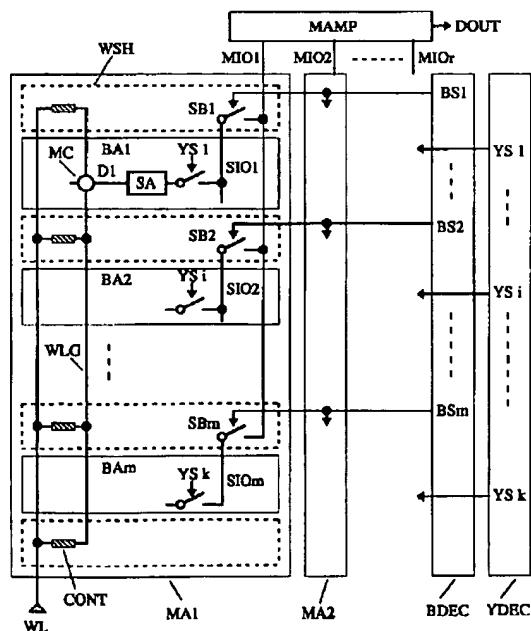
(57) 【要約】

【目的】 メモリ容量が増大するに従ってデータ線の数は増加するため、1本の読み出し線に接続するデータ線の数も増加する。このため、データ線の接続部が集積化の妨げとなる。本発明の目的は、この問題点を解決して、信号の読み出しを高速に行なうと同時に面積増加を防ぐことを可能とするメモリアレー構成を提供することにある。

【構成】 上記目的は、メモリアレー内の多数のデータ線を複数のサブブロックに分割し、各サブブロックごとにサブ読み出し線を設け、各サブブロックごとに設ける第2スイッチによってサブ読み出し線を選択的にメイン読み出し線と接続することにより達成される。この第2スイッチをワードシャントにより生じ下部にメモリセルやセンスアンプが存在しない領域に配置する。

【効果】 上記構成により、メイン読み出し線の負荷容量を大幅に低減でき、メモリアレーからの読み出し動作を高速化できる。またワードシャント領域に設けるので面積増加はない。

(図4)



(2)

特開平5-54634

1

【特許請求の範囲】

【請求項1】複数のメモリセルと1個のセンスアンプが接続された第1データ線対が、第1データ線対ごとに設けた第1スイッチを介して第2データ線対（サブ読出し線対）に接続され、第2データ線対ごとに設けた第2スイッチを介して、第3データ線対（メイン読出し線対）に接続され、該第3データ線対は該メモリアレーを通して配置されたあとメモリアレー外のアンプに接続され、該第2データ線対、該第3データ線対は該第1データ線対と垂直方向に配置されるメモリアレー構成において、メモリセルのMOSトランジスタのゲートを形成する第1層と、低抵抗の第2層とを併せたワード線構造において、該ワード線上で該第1層と該第2層とを接続するコンタクトホールを設け、該コンタクトホールを設けるために下部にメモリセルがない領域に対応するセンスアンプの間の領域に、該第2スイッチを設けたことを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。

【請求項2】該第2スイッチは該第1データ線対をゲート入力とするスイッチ機能付きMOS差動アンプであることを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。

【請求項3】該第2スイッチを構成するMOS差動アンプは2系統の出力を有し、一方は該第3データ線対（メイン読出し線対）とし、他方は第4データ線対であることを特徴とする特許請求の範囲第2項記載の半導体メモリ装置。

【請求項4】該第4データ線対は第1データ線対と平行、第3データ線対と垂直であることを特徴とする特許請求の範囲第3項記載の半導体メモリ装置。

【請求項5】該第4データ線対は多重に選択されたメモリセルからの並列読出し出力線であることを特徴とする特許請求の範囲第4項記載の半導体メモリ装置。

【請求項6】該第4データ線対は、該第4データ線対がその上に配線される複数のメモリアレーの該第2スイッチと接続される共通出力線であることを特徴とする特許請求の範囲第5項記載の半導体メモリ装置。

【請求項7】該第2データ線対に接続される第1データ線対数が、2の累乗となることを特徴とする特許請求の範囲第1項、または第2項、または第3項記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体メモリに係り、高集積でしかもメモリアレーからの信号読出しを高速に行なうためのメモリアレー構成法に関するものである。

【0002】

【従来の技術】従来、ダイナミック形 ランダム アクセス メモリ（以下DRAMと略す）では、図2に示すようなメモリアレー（MA1～MAr）と、Yデコーダ（YDEC）、およびメインアンプ（MAMP）と、こ

10

20

30

40

50

2

の図では省略したチップ制御用のクロック系回路やXアドレス系回路から成る。ここでメモリアレーは多分割データ線方式（特公平2-043279）を仮定してMA1～MARにr分割している。各メモリアレーはk個の第1データ線対（D1～Dk、以後単にデータ線対と略す）とk個のセンスアンプ（SA）、およびデータ線対と第2データ線対（I01～I0r、以後メイン読出し線対と略す）とを接続するためのk個のスイッチ（SS1～SSk）で構成される。各メモリアレー内のスイッチは1組のYデコーダの出力YS1～YSkで制御する。メイン読出し線対はメモリアレーを通して配置される。MAMPはメモリアレー外の信号増幅回路である。SAはCMOSフリップフロップ、スイッチはMOSトランジスタで構成される。MAMPはCMOSまたはバイポーラを用いた差動アンプ、YDECはNANDやインバータ等の論理回路で構成される。ダイナミックメモリではこのほかに各データ線対毎にプリチャージ回路が必要だが図では省略した。次にこの回路の動作を説明する。ワード信号（WL）が高電位（選択）に立ち上がるとMA1内のメモリセル（MC）からデータ線対（D1～Dk）に100mV程度の微小信号が読出される。これをSAで電源電圧または内部電圧（例えば3V）程度に増幅する。この後またはこれと平行し、YDEC出力信号（YS1～YSk）で制御されるスイッチ（SS1～SSk）により、1本のデータ線対信号だけがメイン読出し線対に伝達される。これをMAMPで増幅しDOUTとして外部に出力する。なお、図2に示したメモリアレー構成およびスイッチ（SS1～SSk）の詳細については、「大容量DRAM」（青木、電子情報通信学会誌 Vol. 73 No. 4 pp 369～376 1990 4月）、及び特開昭61-142594と特開平1-155589に示されている。

【0003】

【発明が解決しようとする課題】上記従来技術では、MA1内の多数のデータ線対毎にスイッチがあり、このスイッチがすべて1組のメイン読出し線対I0に接続される。スイッチはMOSトランジスタで構成され、I0線にはスイッチの数だけゲート容量や接合容量等の寄生容量が付く。メモリ容量が増大するに従がいデータ線対数は増加するため、I0線の負荷容量が増大し、高速読出し動作の障害となる。

【0004】このI0線のスイッチ数を減らすため、特公平3-21996では図3の回路が提案されている。これは図3に示したようにI0線対（第2データ線対）をデータ線対と同一方向に配置し、I0線に接続されるスイッチ数をアレー分割数rだけに減らしI0線の寄生容量の低減を図るものである。しかしこの方式ではI0線対はデータ線対と異なる配線層でかつレイアウトピッチはデータ線対と同程度の微細さが必要である。さらに大容量メモリでは一般にこのI0線方向がワード線方向より長

(3)

特開平5-54634

3

くなるのでIO線の配線容量が増加する。以上からこの方式は実用には適さないと考えられる。

【0005】本発明の目的は、図3とは異なる方法でメモリアレーからの信号の読出しを高速に行なうためのメモリアレー構成を提供することにある。

【0006】

【課題を解決するための手段】上記目的は、メモリアレーをワード線に沿って複数のサブブロックに分割し、各サブブロックごとにサブ読出し線対（第2データ線対）を設け、サブIO線対は各サブブロックごとに設ける第2スイッチによってメモリアレー全体に連なるメイン読出し線対（第3データ線対）とを接続することにより達成される。ここでサブ読出し線対、メイン読出し線対はデータ線対と垂直で、かつワード線と平行である。

【0007】

【作用】上記のメモリアレー構成では、1個のサブ読出し線対だけを選択的にメイン読出し線対に接続するため、メイン読出し線に接続されるスイッチ数が図2の従来例に比べサブブロック分割数の比だけ減少する。このためメイン読出し線の負荷容量を大幅に低減できメモリアレーからの読出しを高速化できる。第2スイッチは後述するようにワードシャント部に置けるので面積は増加しない。またサブ読出し線はセンスアンプSAの上部をワード線と平行に置くので、レイアウトは図3に比べ容易で各メモリアレー毎にアルミ2本が増加し1%以下の面積増加ですむ。

【0008】

【実施例】以下、本発明を実施例を用いて詳細に説明する。

【0009】図1は本発明の概念を示した第1の実施例である。本実施例の特徴は、k個のデータ線対（D1～Dk）およびセンスアンプ（SA）から成るメモリアレー（MA）を、ワード線に沿ってm個のサブブロック（BA1～BAm）に等分割し、MAPとつながるメイン読出し線対（MIO）とは別に各サブブロック毎に専用のサブ読出し線対（SIO1～SIOm）を設けたことである。1サブブロック内のデータ線対は全て、Yデコーダ回路の出力信号（YS1～YSk）で制御されるスイッチ（SS1～SSk）を介してサブ読出し線対（SIO1～SIOm）に接続する。このサブ読出し線対は、1サブブロックに1個設けるスイッチ（SB1～SBm）を介してメイン読出し線対（MIO）に接続する。スイッチ（SB1～SBm）はサブブロック選択回路（BDEC）の選択信号（BS1～BSm）によって制御される。次に回路動作を説明する。アドレス信号によってワード信号（WL）が選択されると、MA1内のデータ線対（D1～Dk）にメモリセル（MC）から100mV程度の微小信号が読出される。これをセンスアンプ（SA）で電源電圧または内部電圧（例えば3V）に増幅する。この後またはこれと平行し、Yデコーダに

10 4

よって1本の列選択信号（例えばYS1）が選択され、サブ読出し線対（例えばSIO1）にメモリ信号が伝達される。YS1とほぼ同時にサブブロック選択回路（BDEC）からの選択信号（例えばBS1）も入力され、メイン読出し線対（MIO）にメモリ読出し信号が伝達される。これをメモリアレーの外にあるメインアンプ（MAMP）で増幅して出力する。サブ読出し線対とメイン読出し線対はデータ線と垂直に、ワード線と平行に配線する。このように本実施例では、データ線対とサブ読出し線対とを接続する第1スイッチ（SS1～SSk）をm個のサブブロックに分割し、その中の1サブブロック用のサブ読出し線対だけを第2スイッチ（SB1～SBm）でメイン読出し線対に接続する構成にしている。このためメイン読出し線対の寄生容量を大幅に低減できる。例えば、64Mb DRAMに適用した場合の効果は以下のようになる。なお、この64Mb DRAMの詳細は「64ビットDRAMの低電圧・高速化技術」（中込他、電子情報通信学会技術研究報告 電子デバイス研究会（ED）90-73、集積回路研究会（ICD）90-98、第1～9頁 1990年）に記載されているのでここでは省略する。まず従来技術の場合、読出し線対には512個のスイッチが接続される。このため読出し線対の負荷容量は2.57pFと大きい。一方、本発明を適用し16個のサブブロックとサブ読出し線対に分割した場合は、サブブロック内の第1スイッチ32個とメイン読出し線対に接続する第2スイッチ16個とを合わせ、合計48個とスイッチ数を少なくできる。このため負荷容量も1.01pFと従来技術に比べて61%も低減できる。このように本発明では、読出し線対の負荷容量に起因した信号遅延が少なくできるので、高速な読出し動作を実現できる。

【0010】しかし図1の場合、サブ読出し線対とメイン読出し線対とを接続する第2スイッチ（SB1～SBm）を新たにメモリアレー内にレイアウトする必要がある。通常DRAMでは、メモリアレー内は使用するプロセス技術で可能な最小配線ピッチでレイアウトしており、レイアウトの自由度が少ない。このため第2スイッチ（SB1～SBm）を新たにメモリアレー内に加えると、スイッチのレイアウト分だけチップ面積が増加するという問題がある。この問題の対策を次に示す。図4はこれを解決するための本発明の第2の実施例を示す図である。本実施例の特徴は、図1で述べたサブ読出し線対とメイン読出し線対との間の第2スイッチ（SB1～SBm）を、後述するワード線のワードシャント領域（WSH）に配置していることである。その他の部分は図1と同一である。まずワードシャントについて説明する。通常のCMOSプロセスを用いたメモリでは、メモリセル用トランസファーモスのゲートを形成する配線（WLG）は、比較的抵抗の高いポリシリコンなどが使われる。このためメモリ容量が増加してWLGの負荷容量が

(4)

特開平5-54634

5

大きくなると、配線の抵抗と容量で決まる信号遅延が大きくなり、高速動作の障害となる。このため特開昭51-023321に示されたような、低抵抗のアルミニウムなどを用いた配線（WL）をWLGと重ねてレイアウトし、WL上の数十箇所でコンタクトホール（CONT）によって、WLとWLGとを短絡し配線抵抗を低減する、一般にワードシャントと呼ばれる方法が必須である。このワードシャントには、メモリセル存在領域（図4のBA1, BA2～BAm）とは別に、CONTで短絡するためのレイアウト領域（以下、ワードシャント領域WSHと呼ぶ）が必要である。このワードシャント領域（WSH）の構成を図5と図6を用いて説明する。まず図5は通常のDRAMのワードシャント領域（WSH）の断面構成を示したものである。MOSのゲートを形成するWLGを最下位の配線とし、その上にワード線と直角方向にデータ線対を形成する配線（図5ではTS）、更にその上に低抵抗配線（WL）が形成される。このように、通常のDRAMではWLGとWLとの間にデータ線を形成する配線層TSがある。ワードシャント領域では、WLからコンタクトホール（CONT2）を介してTSにつなぎ、次にこのTSを別工程のコンタクトホール（CONT1）でWLGにつなぐ。このように2段階に分けてワードシャントを行なう。図6は前述の64MbDRAMのワードシャント領域の平面構成を示したものである。図5で説明したように、ワードシャントには2個のコンタクトホール（CONT1, CONT2）が必要なため、ワードシャント部のレイアウト面積が大きくなる。しかもワード線の配線ピッチはメモリセル寸法（0.8×1.6μm²）で決まる0.8μmピッチを守らなければならない。このためワードシャント領域は、図6に示すようにワード線4本（WL1～WL4）を1セットにして、階段状にレイアウトする必要がある。このためワードシャント領域（WSH）の寸法は大きくなり、0.3μm微細加工技術を用いた64MbDRAMでも10μm程度と大きい。センスアンプやプリチャージ回路がデータ線対ピッチ1.6μmにレイアウトされることを考えると、このワードシャント領域（WSH）が非常に広い領域であることがわかる。したがって、図4に示したようにこのWSH領域に対応するセンスアンプのすき間に第2スイッチ（SB1～SBm）をレイアウトしても、チップ面積には影響しない。この領域は従来は配線があるだけだった。このように図4の構成により、高速でしかも高集積のDRAMを実現できる。なお図4はサブブロックを挟むようにワードシャント部を設けた場合だが、サブブロックの中央にワードシャント部を設けることも可能である。

【0011】ところで、これまでメモリアレー内のサブブロック分割方法については、特に言及していなかった。以下では、このサブブロック分割方法について述べる。サブブロックの分割は、メモリアレー内からの信号

10
20
30
40
50

6

読出し速度だけではなく、Yデコーダ回路（YDEC）およびサブブロック選択回路（BDEC）の構成と密接に関係する。それは第1（図1）および第2（図4）の実施例におけるYデコーダ（YDEC）の選択信号（YS1～YSk）と、サブブロック選択回路（BDEC）の選択信号（BS1～BSm）とが同じサブブロックを選択しなければならないためである。これらの信号が別々のサブブロックを選択すると、メインアンプに正しい信号が伝達されないため誤動作が生じる。動作速度だけを考慮してサブブロック分割を決定すると、常に一致したサブブロックを選択するためには、BDECの論理設計が非常に複雑となる。例えば、256データ線対のメモリアレーを、動作速度だけを考慮して10個のサブブロックに分割する場合を考える。この場合サブブロックのデータ線対の数は、25個のものと26個のものに分かれる。この他にも10個に分割する方法があるが、いずれの場合でも各サブブロックのデータ線対の数を統一できない。このため、データ線対の数に応じてそれぞれ専用のBDECの論理設計が必要になり、設計が複雑になる。さらに、従来のデコーダ回路はNAND等の簡単な論理回路を用いて、アドレス信号の組み合わせで選択しているため、選択する単位が2の累乗となっている。このためデータ線対の数が25個や26個といったような構成の場合、従来のデコーダ回路は使用できない。したがって、デコーダ回路の論理設計自体が複雑となり、設計工数が増加してしまう。これを避け設計を簡略化するためには、サブブロック内のデータ線対の数が2の累乗となるようにサブブロックを分割する必要がある。これによって従来のデコーダ回路を使用できるようになり、設計が簡略化できる。このように分割した場合のYデコーダおよびサブブロック選択回路の構成例を図7に示す。Yデコーダ（YDEC）およびサブブロック選択回路（BDEC）は、CMOSのインバータ（INV）と否定論理積（NAND）といった簡単な回路で構成している。ここで、AY00～AY33はプリデコーダからのアドレス信号である。この場合はYDECの出力信号は16個の単位で繰り返しているため、一度に16本のYS信号が選択される。この場合でもBDEC選択信号が1本だけ選択されるので、メイン読出し線には16本のデータ線対のうちの1対のみが読出され論理機能的には問題ないが、消費電流が増加する問題がある。そこで、図7に点線で示したように、BDECの出力をYDECに入力することで、YDECの選択信号も1信号だけ選択する。

【0012】図8は、本発明の第3の実施例を示す図である。この実施例は図1の第1実施例、および図4の第2実施例における第1スイッチ、第2スイッチやセンスアンプSA、プリチャージ回路PCの具体的な回路構成を示したものである。各スイッチ（SS1, SB1）には1対のMOSトランジスタを使用し、信号線（D1,

(5)

特開平5-54634

7

SIO1, MIO) をそれぞれソースとドレインに、デコーダ信号 (YS1, BS1) をゲートに接続している。ΦS, /ΦS がオンし SA がデータ線微小信号を増幅した後またはこれと平行し、デコーダ信号によってMOSスイッチ SS1, SB1 を選択的にオンすることにより、第1および第2の実施例で示したような動作が可能となる。なお、サブ読出し線対 (SIO1) にはデータ線対と同じプリチャージ回路 (PC) を接続している。これはチップが非動作の時に、サブ読出し線対 (SIO1) をデータ線対 (D1) と同じ電圧 (HVD) にプリチャージするためである。もし SIO1 対間に電位差があったり、D1 と SIO1 とに大きな電位差がある場合は、スイッチ (SS1) がオンしたときに D1 のメモリ信号が小さくなり、センスアンプ (SA) の動作が不安定になるため PC は必要である。SB1 と PC はワードシャント部に置ける。なおこの実施例のスイッチはメモリ信号の読出しだけでなく、MIO から SIO1, SIO1 から D1 へと逆に書込むときにも使用できる。したがって、書込み用に別の回路や配線を設ける必要はない。

【0013】図9は、本発明の第4の実施例を示す図である。この実施例の特徴は図1および図8でのスイッチ (SS1) を、読出し用 (SS1) と書き込み用 (SW1) に分離したことにある。SS1 を構成するMOSトランジスタのゲートに、データ線対 D1 を接続している。これにより D1 対の信号電位差が SIO1 対の電流差となる。この電流差は SB1 を介して MIO 対に現われ、メインアンプ (MAMP) で電圧変換して読出す。この実施例では、D1 を MOSトランジスタのゲートに入力しているため、YS1 をセンスアンプ (SA) が動作する前にオンしても誤動作は生じない。したがって、SA の動作が始まるまで読出しを待つ必要が無く、図8 より高速な読出し動作が実現できる。なお、この実施例では、SIO1 から D1 への書き込みは出来ないため、書き込み用のスイッチ (SW1) 、および書き込み用信号配線 (WE, WI 対) が新たに必要である。

【0014】図10は、本発明の第5の実施例を示す図である。この実施例の特徴は、図9の第4実施例とは逆に、D1 対をMOSスイッチ (SS1) のドレインに入力し、SIO1 をスイッチ機能付きMOS回路 (SB1) のゲートに入力していることである。また、書き込み用のスイッチ (SW1) も SIO1 に接続している。この様な構成とすることにより、レイアウトの自由度のない領域 (図6で 1.6 μm 幅) にあるスイッチ (SS1) の素子数を少なくし、広いワードシャント領域 (図6で 10 μm 幅) に素子数の多い SB1 や SW1 を配置するため、高集積化と高速化を両立できる。この実施例ではメイン読出し線対 (MIO) と、書き込み線対 (WI) を分離したが、共通化することも可能である。

【0015】図11は、本発明の第6の実施例を示す図

10

20

30

40

8

である。この実施例の特徴は、2つのスイッチ (SS1, SB1) を共にゲート受けのMOS差動回路とし、SIO1, MIO のどちらも電流差で読出す構成にしたことである。このため SIO1 には電流差を電圧差に変換するための負荷回路 (LOAD) が必要である。この図の LOAD はカレントミラー形負荷回路である。これにより、D1 対の微小読出し信号が 2段増幅されるため、MIO に流れる電流差が大きくなり、メインアンプへの読出しを図8～図10よりさらに高速化できる。

【0016】図12は、本発明の第7の実施例を示す図である。この実施例の特徴は、サブ読出し線対 (SIO1) にも、通常のデータ線対 (D1) と同じセンスアンプ (SA) を設けていることである。その他は図8に示した第3実施例と同様である。この構成にすることにより、SIO1 および MIO の負荷容量を D1 上と SIO1 上にある 2 個のセンスアンプで加算駆動するため、読出し動作が図8より高速化できる。なおこの構成は、図10 の第5実施例にも適用できる。

【0017】図13は、本発明の第8の実施例を示す図である。この実施例の特徴は、Yデコーダ (YDEC) の選択信号 (YS1～YSn) を、ワード信号 (WL) と同一方向に配置していることである。その他は図1の第1実施例と同じである。この様な構成にすることで、データ線方向の配線はサブロック選択回路 (BDEC) の選択信号 (BS1～BSm) だけになる。したがって、BS1～BSm の配線の自由度が大きくなり、メモリアレー内に電源線や各種信号線をレイアウトできるようになる。これによってメモリアレー以外の配線領域を小さくでき高集積化に有効である。なお読出し動作の高速化の効果については、第1の実施例と同じである。

【0018】図14は、本発明の第9の実施例を示す図である。本実施例の特徴はこれまでの実施例と同様な通常の高速読出し機能に加え、並列読出し／書き込みテスト (多数ビット同時テスト) 機能を付加したことにある。MIO1～MIOm はこれまでと同様の通常読出し線対である。PIO1～PIOm が新たに設けた並列読出し線対である。これらはデータ線対と同方向に配置し、しかも r 個のメモリアレー (MA1～MAR) で共有させる。第2スイッチ SB1～SBm は BS1～BSm あるいは BST により MIO 線あるいは PIO 線のいずれかに接続される。通常読出し時にはこれまでの実施例と同様に BS1～BSm のいずれかが高電位 (選択) 、 BST が低電位 (非選択) になり、 SB1～SBm のいずれかで SIO 線対と MIO 線対とが接続される。一方、並列読出し時は BST が高電位 (選択) 、 BS1～BSm のすべてが低電位 (非選択) となるよう BDEC の論理をとる。SB1～SBm のすべてで SIO 線対と PIO 線対とが接続される。この時 YS1～YSk は m 個のサブロックのすべてで 1 本ずつ、合計 m 本が同時選択されるように YDEC の論理をとる。PIO 線は横方向に

(6)

特開平5-54634

9

r 個のアレーでの $S B_1 \sim S B_m$ と論理和をとりながら排他的論理和回路 ($E X O R$) に導かれる。ここで論理をとり $C O U T$ として出力する。1本のワード信号 (例えば $W L_{11}$) を選択すると、 $M A_1$ 内の m 個のサブロック ($B A_1 \sim B A_m$) から $Y S_1 \sim Y S_k$ によりそれぞれ 1 個ずつ、合計で m 個の情報を 1 度に $E X O R$ 回路に読出しができる。書込みについては次の実施例で述べる。さらに次の実施例のように $S B_1 \sim S B_m$ の回路を工夫すれば複数のメモリアレー内でワード線 $W L_{11}, WL_{21} \sim WL_r$ が同時に選ばれれば、 $m \times r$ ビットの超並列テストもできる。このように一度の動作で多数の情報を読出しができる、テスト時間を短縮するための並列テストとして有効である。また通常読出しと並列読出しは経路が異なり通常読出し側の負荷容量や $M A P$ の回路構成は変わらないので、本発明による通常読出しの高速性は何ら阻害されない。 $P I O$ 線対 2 本と $B S_1$ 線 1 本の合わせて 3 本はワードシャント部にデータ線と平行に十分配置できる。 $B S T$ 線は図 14 ではセンスアンプ部の上をワード線と平行に配置する場合を示した。この他に $B S T$ 線も $B S_1$ 線、 $P I O$ 線対と同様にワードシャント部におき、合計 4 本をデータ線と平行に置くことも十分可能である。

【0019】図 15 は、本発明の第 10 の実施例を示す図である。本実施例は図 14 の全体構成と組合せ並列読出し／書込みテスト (多数ビット同時テスト) が行えるようにしたものである。この回路は図 10 の回路をもとにつくったものである。 $S I O$ 1 線対をゲート入力とするスイッチ機能付き $M O S$ 差動回路 $S B_1$ の出力を 2 系統 ($M I O_1, P I O_1$) に分けた。まず読出しについて説明する。通常読出し時は $B S_1$ が高電位になり $M I O_1$ 線対に信号電流が現われる。並列読出し時は $B S T$ が高電位になり信号電流が $P I O_1$ 線対に現われる。 $B S_1$ が印加される $M O S$ は高速動作のための大電流が必要で、 $B S T$ が印加される $M O S$ は並列動作のため 1 回路あたりの低電流が望まれるのでゲート幅を変えるのがよい。図 14 のように $P I O_1$ 線対には複数 (例えば r 個) のメモリアレーの $S B_1$ が接続される。並列テストでは多数のビットに同一データを書き込みこれを一斉に読出す。これら r 個の読出しデータが一致していれば $P I O$ 線対は高低に分かれる。ところがメモリセルに不良があり不一致であれば $P I O$ 線対は 2 本とも低電位になる。これをエラーとみなすように後段の $E X O R$ 回路の論理を組めばよい。 $B S T$ の印加タイミングはセンスアンプ $S A$ が完全に動作を終え $S I O$ 線対が十分に高低に分かれてからオンするのがよい。さもないと $P I O$ 線対には 2 本とも電流が流れエラーとみなしてしまう。このためには $B S T$ は $B S_1 \sim B S_m$ 系よりオンタイミングを遅らせるのがよい。書き込みは回路ブロック $S W_1$ で行う。通常書き込みと並列書き込みをともに $W I$ 線対から行うようにした。この場合も通常書き込みで $B S_1$ が印加され

50

10

る $M O S$ と、並列書き込みで $B S T$ が印加される $M O S$ は高速性か低電流性かによりゲート幅を変えるのがよい。これら $S W_1, S B_1, P C, S A$ を含むブロック $S 2$ はいずれもワードシャント部に置くことができる。 $P I O_1$ 線対 2 本と $B S_1$ 線 1 本の合わせて 3 本はワード線 (例えば第 1 層アルミ) とは異なる配線層 (例えば第 2 層アルミ) を用いれば、ワードシャント部にデータ線と平行に十分配置できる。 $Y S_1 \sim Y S_k$ 線は例えば第 2 層アルミでメモリセルアレー内をデータ線と平行に配置する。 $B S T$ 線はセンスアンプ部の上をワード線と平行に例えば第 1 層アルミで配置してもよいし、 $B S_1$ と平行に例えば第 2 層アルミで配置してもよい。この回路方式により高速の通常読出し動作と、超並列読出し／書込み動作を両立できる。

【0020】図 16 は本発明の第 11 の実施例を示す図である。この図は図 14、図 15 の回路構成の平面チップ配置を示すものである。ここで $M C A$ はワードシャント領域 $W S H$ にはさまれたメモリセルアレー部分、 $S 1$ は第 1 スイッチとプリチャージ回路を含むセンスアンプ部、 $S 2$ は第 2 スイッチを含む部分で図 15 の破線ブロック $S 2$ と同じである。 $X D E C$ は X デコーダ、ワードドライバであり、ワード線 $W L$ はここから複数の $M C A$ と複数の $W S H$ 上を走る。 $W S H$ では $C O N T$ によりワード線 $W L$ の第 1 層アルミとポリシリコン層 $W L G$ が接続される (図 5、図 6 参照)。 $M C A$ と $S 1$ を合わせたものを図 14 までの実施例ではサブロック $B A_1 \sim B A_m$ と呼んだ。この平面配置により、図 15 までの実施例回路はワードシャント方式で派生的に生じた $S 2$ で示す配線だけだった領域に配置できるのでチップ面積の増加はない。

30
【0021】

【発明の効果】以上述べてきた様に、本発明によればメモリアレー内の多数のデータ線を複数のサブブロックに分割し、各サブブロックごとにサブ読出し線を設け、各サブブロックごとに設ける第 2 スイッチによってサブ読出し線を選択的にメイン読出し線と接続する構成とすることにより、メイン読出し線に接続するスイッチ数が減少する。このためメイン読出し線の負荷容量を大幅に低減でき、負荷容量に起因した信号遅延が小さくなり、メモリアレーからの読出し動作を高速化できる。この第 2 スイッチはワードシャントで生じた配線領域に置けるのでチップ面積は増加しない。なお、実施例では $D R A M$ について述べてきたが、 $D R A M$ 以外の半導体メモリ (例えば $S R A M$ や $V R A M$ など) にも有効である。

【図面の簡単な説明】
 【図 1】第 1 の実施例
 【図 2】従来例 1
 【図 3】従来例 2
 【図 4】第 2 の実施例
 【図 5】ワードシャントの断面構成

(7)

特開平5-54634

11

【図6】ワードシャントの平面構成

【図7】デコーダ回路構成

【図8】第3の実施例

【図9】第4の実施例

【図10】第5の実施例

【図11】第6の実施例

【図12】第7の実施例

【図13】第8の実施例

【図14】第9の実施例

【図15】第10の実施例

【図16】第11の実施例

【符号の説明】

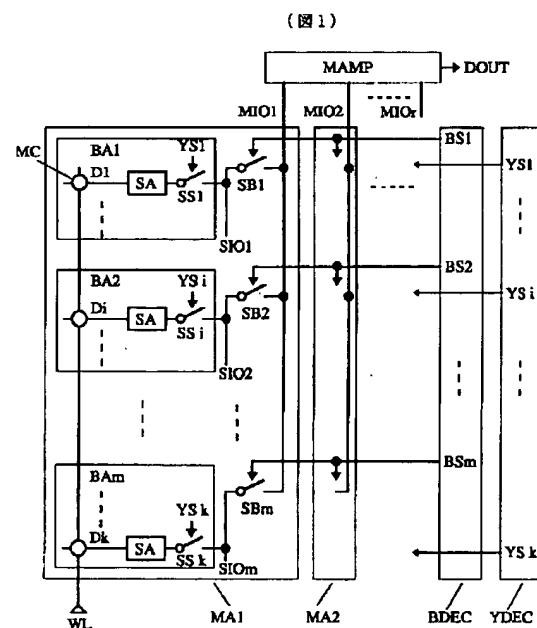
MA1～MAR…メモリアレー、MAMP…メインアンプ、YDEC, BDEC…デコーダ回路、D1～Dk…データ線対、IO1～r, MIO1～r…メイン読出し

10

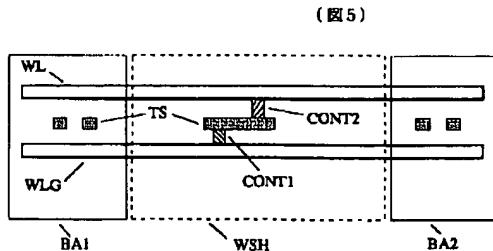
12

線対、SIO1～m…サブ読出し線対、PIO1～m…並列テスト用読出し線、MC…メモリセル、MCA…メモリセルアレー、SA…センスアンプ、S1…第1スイッチを含むセンスアンプ部、S2…第2スイッチ部、PC…プリチャージ回路、EXOR…排他的論理和回路、SS1～k…第1スイッチ、SB1～m…第2スイッチ、SW1…書き込みスイッチ、WL…ワード線、WLG…ワード線のゲート部、YS1～k…列選択信号線、BS1～m…サブブロック選択信号線、BST…並列テスト用サブブロック選択信号線、WE…書き込み制御信号線、WI…書き込み入力信号線、CONT, CONT1, CONT2…コンタクトホール、WSH…ワードシャント領域、INV…インバータ、NAND…否定論理積、LOAD…負荷回路。

【図1】

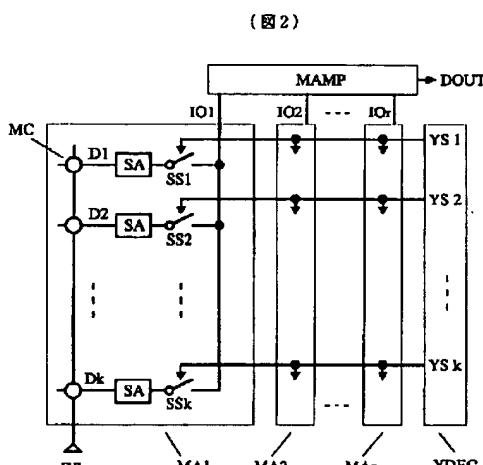


【図5】

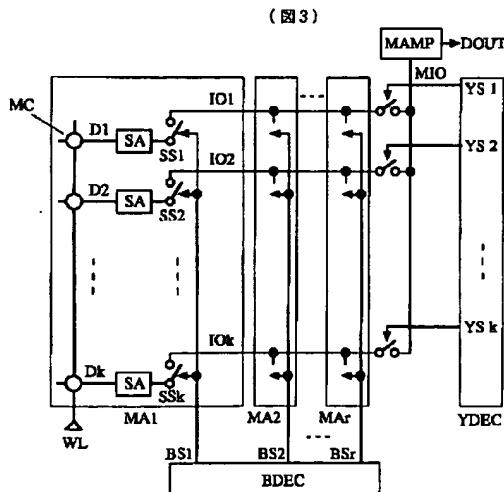


(図5)

【図2】



【図3】

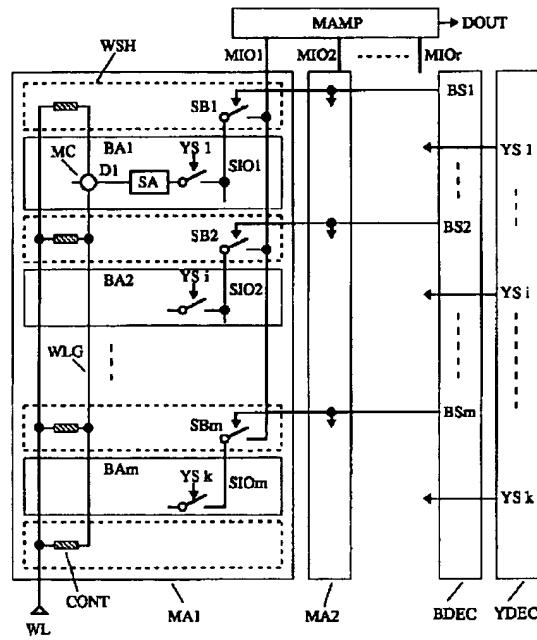


(8)

特開平5-54634

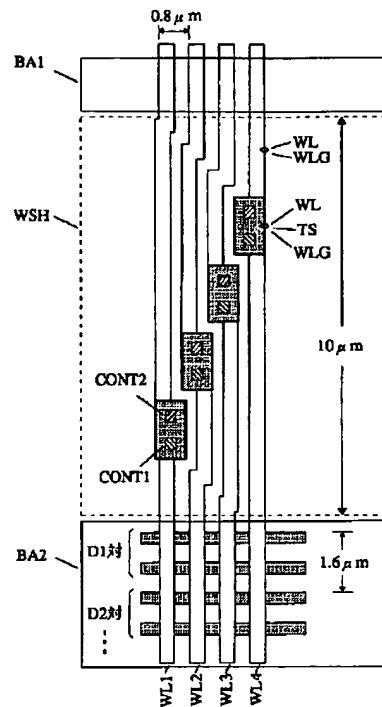
【図4】

(図4)



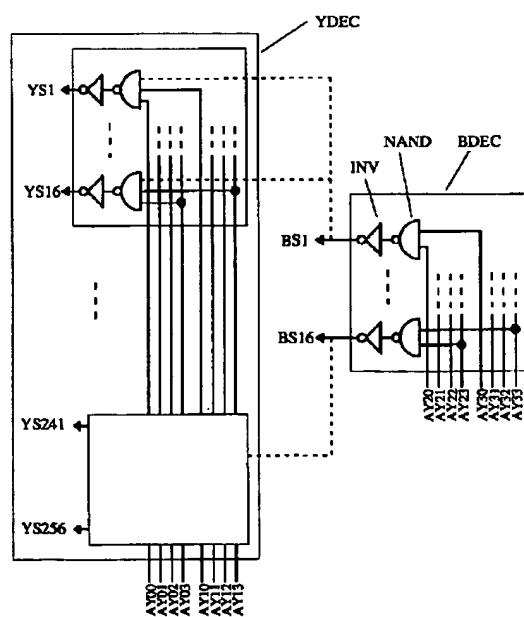
【図6】

(図6)



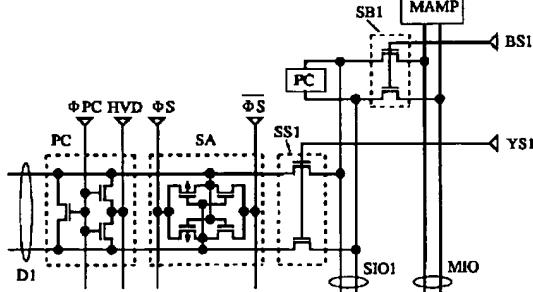
【図7】

(図7)



【図8】

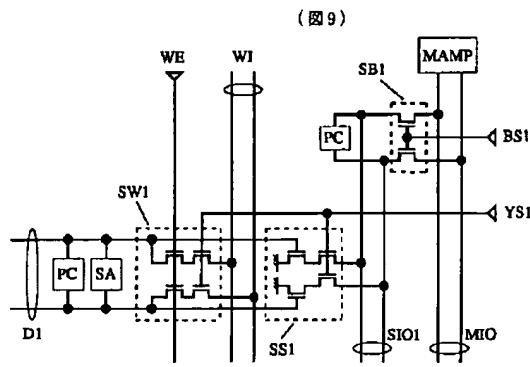
(図8)



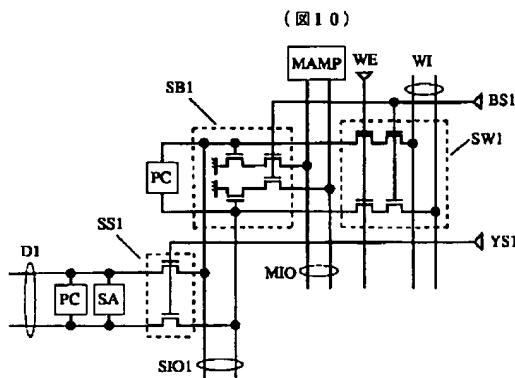
(9)

特開平5-54634

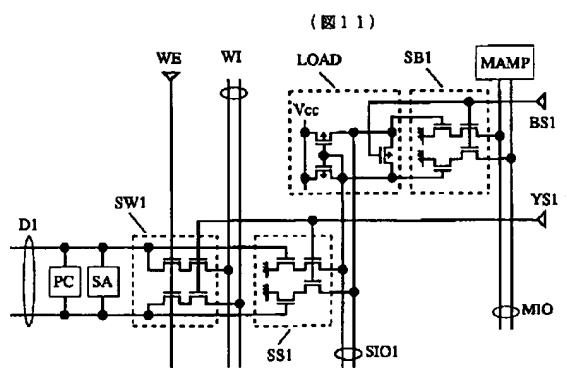
【図9】



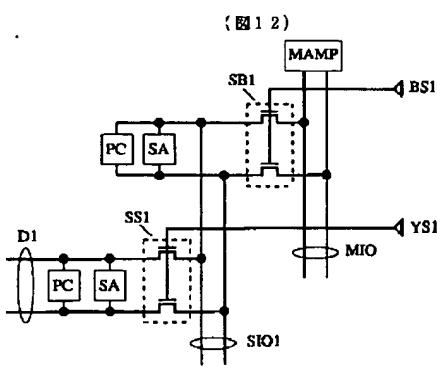
【図10】



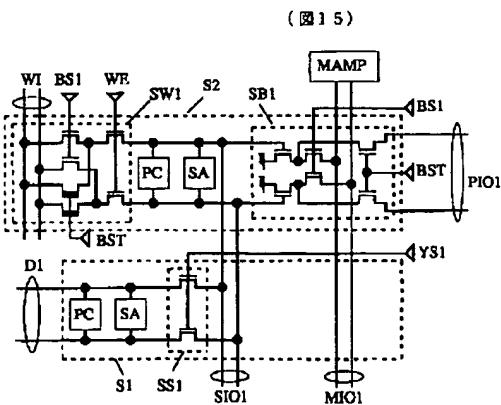
【図11】



【図12】



【図15】

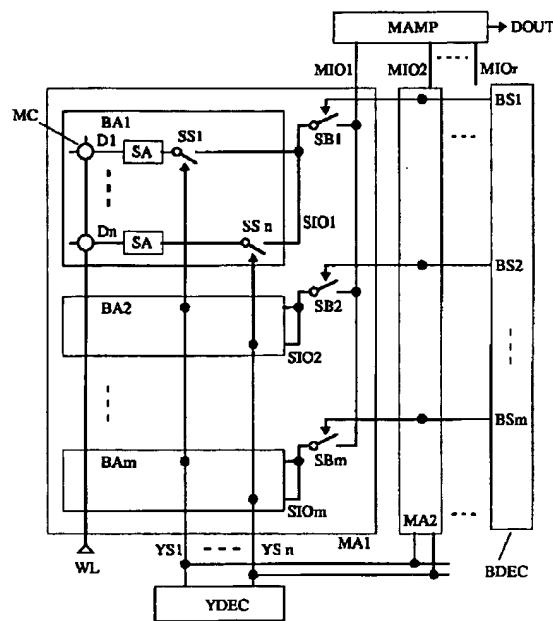


(10)

特開平5-54634

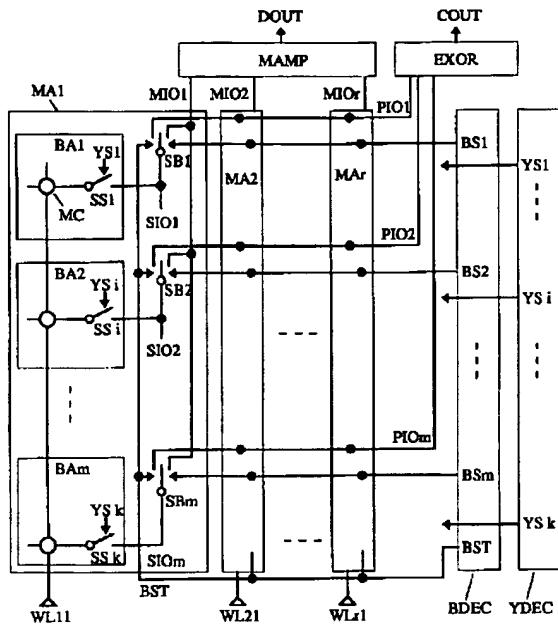
【図13】

(図13)



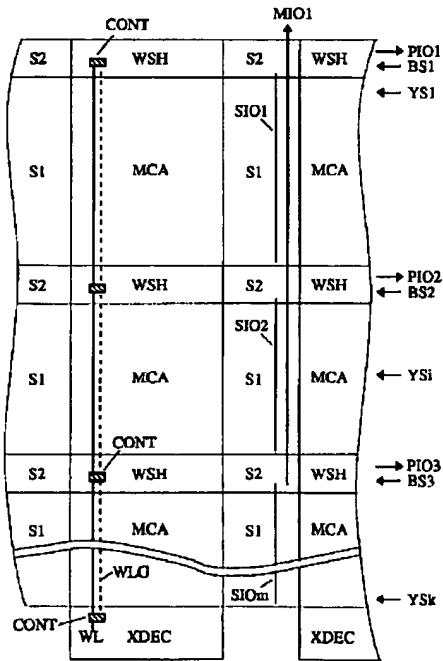
【図14】

(図14)



【図16】

(図16)



(11)

特開平5-54634

フロントページの続き

(72) 発明者 川尻 良樹
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 河原 尊之
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 川瀬 靖
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内
(72) 発明者 加藤 至誠
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内
(72) 発明者 立花 利一
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内